

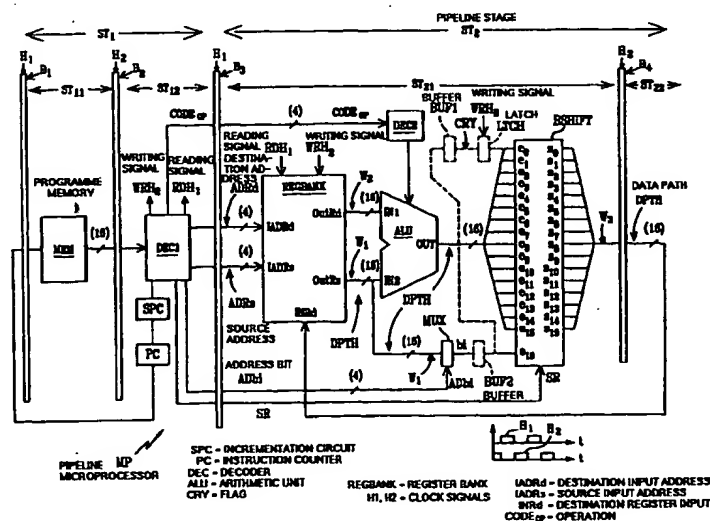


## DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets <sup>6</sup> : <b>G06F 9/308, 9/315, 9/38</b>	<b>A1</b>	(11) Numéro de publication internationale: <b>WO 99/23550</b> (43) Date de publication internationale: 14 mai 1999 (14.05.99)
(21) Numéro de la demande internationale: PCT/FR98/02266 (22) Date de dépôt international: 23 octobre 1998 (23.10.98) (30) Données relatives à la priorité: 97/13758 3 novembre 1997 (03.11.97) FR (71) Déposant (pour tous les Etats désignés sauf US): INSIDE TECHNOLOGIES [FR/FR]; Pépinière Axone, F-69930 Saint Clément les Places (FR). (72) Inventeur; et (75) Inventeur/Déposant (US seulement): COMMERCIAL, Sean [FR/FR]; Bâtiment D, Domaine de Fontenaille, Route de Saint-Thomas de Villeneuve, F-13100 Aix en Provence (FR). (74) Mandataire: OMNIPAT; Centre d'Affaires ActimarT, 1140, rue Ampère, F-13795 Aix en Provence Cedex 03 (FR).		(81) Etats désignés: AU, CA, CN, JP, KR, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Publiée Avec rapport de recherche internationale.

(54) Title: MICROPROCESSOR COMPRISING MEANS FOR CONCATENATING BITS

(54) Titre: MICROPROCESSEUR COMPRENANT DES MOYENS DE CONCATENATION DE BITS



## (57) Abstract

The invention concerns a microprocessor (MP) comprising means for decoding (DEC1) a compact instruction (BMV) for concatenating at least one bit ( $b_1$ ) of a first binary word ( $W_1$ ) with at least one bit of a second binary word ( $W_2$ ), and means (REGBANK, MUX, BSHIFT) for processing said instruction in one clock cycle. The invention provides the advantage of ensuring a rapid concatenation operation and is particularly applicable to smart cards.

**(57) Abrégé**

L'invention concerne un microprocesseur (MP) comprenant des moyens de décodage (DEC1) d'une instruction compacte (BMV) de concaténation d'au moins un bit (b<sub>i</sub>) d'un premier mot binaire (W1) avec au moins un bit d'un deuxième mot binaire (W2), et des moyens (REGBANK, MUX, BSHIFT) de traitement de cette instruction en un cycle d'horloge. Avantages: traitement rapide d'une opération de concaténation. Application notamment aux cartes à puce.

**UNIQUEMENT A TITRE D'INFORMATION**

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	B Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakhstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

MICROPROCESSEUR COMPRENANT DES MOYENS  
DE CONCATENATION DE BITS

La présente invention concerne les microprocesseurs, et plus particulièrement la réalisation dans un microprocesseur d'une opération de concaténation d'au moins un bit d'un premier mot binaire avec des bits  
5 d'un deuxième mot binaire.

La concaténation de bits est une opération fréquemment utilisée en informatique industrielle. En particulier, les codes d'authentification émis par les cartes à microprocesseur comme les cartes bancaires sont  
10 générés par des algorithmes de cryptographie nécessitant de nombreuses opérations de concaténation de bits. Or, les microprocesseurs classiques présentent l'inconvénient de consommer plusieurs cycles d'horloges et plusieurs octets de code programme pour réaliser cette opération.

15 Par exemple, avec un microprocesseur du type 6805 la concaténation de bits est faite au moyen des instructions "BRSET" et "BCLR" et nécessite tout d'abord la mise à 1 des bits d'une zone mémoire destinée à contenir le résultat de l'opération. Ensuite, on teste la  
20 valeur d'un premier bit à concaténer et on met à 0 le premier bit de la zone mémoire si le bit à concaténer est égal à 0. Puis, on teste la valeur d'un deuxième bit à concaténer et on met à 0 le deuxième bit de la zone mémoire si le deuxième bit à concaténer est égal à 0,  
25 etc.. La concaténation de chaque bit dans la zone mémoire nécessite cinq octets de code programme (instructions et adressage de la mémoire compris) et le temps d'exécution est de dix cycles machine environ.

Dans un microprocesseur du type 8051, on charge tout d'abord le bit à concaténer dans un drapeau ("flag"), par exemple le drapeau CRY ("Carry"). Ensuite, on insère le bit dans le registre de travail du microprocesseur, par décalage à droite du registre au moyen de l'instruction "ROR" ou par insertion directe au moyen de l'instruction "MOV". Enfin, le contenu du registre de travail est chargé en mémoire. Ces opérations consomment également plusieurs octets de code et plusieurs cycles machine.

En définitive, les microprocesseurs de l'art antérieur exécutent avec lenteur un programme contenant un grand nombre d'opérations de concaténation et nécessitent, pour chaque opération de concaténation, l'écriture de plusieurs codes programme.

On connaît par ailleurs des microprocesseurs sophistiqués du type pipeline, c'est-à-dire à chevauchement d'instructions, dont l'avantage est de fonctionner à grande vitesse. Toutefois, ces microprocesseurs sont d'une complexité, d'un encombrement et d'un coût de revient qui les rendent impropres à être intégrés dans des cartes à puce.

En particulier, les cartes à puce sans contact alimentées par induction électromagnétique possèdent de faibles ressources en énergie électrique et doivent être équipées d'un microprocesseur qui consomme peu de courant tout en étant rapide et apte à traiter une transaction dans un temps très court, de l'ordre de quelques millisecondes.

Par ailleurs, l'article de Wai Lung Loh intitulé "BEE: a special-purpose machine for hardware description languages", paru dans la revue Microprocessors and Microsystems, vol. 19, n°5, juin 1995, décrit un

émulateur de circuits hardware programmé au moyen d'un langage spécifique VHDL (Hardware Description Language). Cet article propose de faciliter la simulation d'opérations de manipulation de chaînes de bits en  
5 réalisant un circuit hardware appelé BEE ("Bitstring Emulator Engine") prenant en charge l'exécution de telles opérations. Toutefois, le circuit BEE est complexe et se prête mal à une incorporation dans un microprocesseur destiné aux cartes à puce.

10 Enfin, le brevet US 4 023 023 décrit un circuit hardware permettant de réaliser diverses opérations de décalage et de concaténation de bits à partir de deux mots binaires fournis en entrée.

Un objectif général de la présente invention est de  
15 prévoir un microprocesseur qui incorpore un circuit hardware de concaténation de bits tout en étant de conception simple, de faible encombrement et de faible consommation, et qui offre une grande rapidité de traitement des instructions d'un programme, notamment  
20 d'une instruction de concaténation.

Cet objectif est atteint par la prévision d'un microprocesseur pipeline comprenant des moyens de décodage d'une instruction de concaténation d'au moins un bit d'un premier mot binaire avec au moins un bit d'un  
25 deuxième mot binaire ; une banque de registres ; des moyens de traitement de l'instruction de concaténation ; un premier étage pipeline comprenant les moyens de décodage de l'instruction de concaténation ; un deuxième étage pipeline, contigu au premier étage, comprenant un  
30 premier secteur comprenant des moyens de concaténation, dans lequel la banque de registres est agencée en lecture, et un deuxième secteur dans lequel la banque de registres est agencée en écriture, le premier secteur

étant actif à chaque demi-cycle d'horloge du microprocesseur et le deuxième secteur actif à chaque demi-cycle d'horloge suivant, les moyens de traitement de l'instruction de concaténation étant agencés pour lire  
5 les premier et deuxième mots binaires dans la banque de registres et exécuter l'instruction de concaténation au cours d'un premier demi-cycle d'horloge, et enregistrer le résultat de la concaténation dans la banque de registres au cours du demi-cycle d'horloge suivant.

10       Avantageusement, les moyens de concaténation comprennent des moyens de présentation en parallèle, sur le chemin de données du microprocesseur, des deux mots binaires lus dans la banque de registres, des moyens de sélection d'au moins un bit à concaténer du premier mot  
15 binaire, et des moyens pour décaler des bits du deuxième mot binaire sur le chemin de données et insérer dans le deuxième mot binaire au moins le bit sélectionné du premier mot binaire.

Avantageusement, les moyens pour décaler des bits  
20 comprennent un circuit à commutation matérielle de fils agencé pour, sur réception d'un signal de décalage, décaler le rang des fils du chemin de données et connecter à au moins un fil du chemin de données la sortie des moyens de sélection du bit à concaténer.

25       Selon un mode de réalisation, les moyens de sélection d'au moins un bit comprennent un circuit multiplexeur agencé sur le chemin de données pour recevoir en entrée le premier mot binaire.

Selon un mode de réalisation, le deuxième mot  
30 binaire est lu dans la banque de registres à l'adresse d'enregistrement du résultat de la concaténation.

Selon un mode de réalisation, le microprocesseur comprend des moyens de décodage d'une instruction

compacte de concaténation comportant une adresse compacte d'enregistrement du résultat de la concaténation.

Selon un mode de réalisation, le microprocesseur comprend des moyens de décodage d'une instruction de concaténation dont le code comporte une adresse compacte prédéterminée d'enregistrement du résultat de la concaténation.

Selon un mode de réalisation, les moyens de décodage de l'instruction de concaténation sont agencés pour générer une adresse fixe et prédéterminée d'enregistrement du résultat de la concaténation.

Ces caractéristiques ainsi que d'autres de la présente invention seront exposées plus en détail dans la description suivante, faite à titre non limitatif, d'un exemple de réalisation d'un microprocesseur selon l'invention, en relation avec les figures jointes parmi lesquelles :

- la figure 1 représente sous forme de blocs les principaux éléments d'un microprocesseur selon l'invention,
- la figure 2 représente un circuit à décalage selon l'invention, représenté schématiquement en figure 1, et
- la figure 3 représente un élément interrupteur du circuit à décalage de la figure 2.

La figure 1 représente un microprocesseur MP selon l'invention, fonctionnant ici sous 16 bits et du type pipeline, c'est-à-dire à chevauchement d'instructions. Le microprocesseur est organisé pour exécuter des instructions compactes se présentant sous le format suivant :

CODE <sub>Op</sub>	ADR <sub>d</sub>	ADR <sub>s</sub>	-
--------------------	------------------	------------------	---

Ces instructions, codées ici sur 16 bits, comprennent un code  $CODE_{op}$  de l'opération à exécuter, codé sur 4 bits, l'adresse  $ADR_d$  d'un registre  $R_d$  de destination du résultat, sur 4 bits, et l'adresse  $ADR_s$  d'un registre source  $R_s$ , sur 4 bits (ici, le dernier champ de l'instruction n'est pas utilisé). L'opération est par exemple l'addition ADD (additionner  $R_s$  et  $R_d$  et stocker le résultat dans  $R_d$ ), la soustraction SUB (soustraire  $R_s$  à  $R_d$  et stocker le résultat dans  $R_d$ ), le  
 5 OU logique (stocker dans  $R_d$  le résultat de  $R_s$  OU  $R_d$ ), le  
 10 ET logique, etc..

Selon l'invention, le microprocesseur est également organisé pour exécuter une instruction compacte de concaténation BMV, selon le format suivant :

15

$CODE_{BMV}$	$ADR_d$	$ADR_s$	$ADb_i$
--------------	---------	---------	---------

Cette instruction comprend le code  $CODE_{BMV}$  de l'opération de concaténation, sur 4 bits, l'adresse  $ADR_d$  du registre  $R_d$  de destination du résultat de la  
 20 concaténation, sur 4 bits, l'adresse  $ADR_s$  d'un registre source  $R_s$ , sur 4 bits, et l'adresse (ou rang)  $ADb_i$  d'un bit  $b_i$  du registre source  $R_s$ .

Cette instruction signifie ici, de façon non limitative :

- 25 1) lire un mot binaire  $W_1$  dans le registre  $R_s$
- 2) lire un mot binaire  $W_2$  dans le registre  $R_d$ ,
- 3) concaténer ("accoler") le bit  $b_i$  du mot binaire  $W_1$  avec le bit de plus fort poids du mot binaire  $W_2$ ,
- 4) enregistrer dans le registre  $R_d$  le mot  $W_3$  comprenant  
 30 le résultat de la concaténation.



Comme on le verra plus loin, ces diverses étapes sont avantageusement réalisées en un seul cycle d'horloge.

On décrira tout d'abord la structure générale du microprocesseur selon l'invention, qui comprend une  
5 mémoire programme MEM, une banque de registres REGBANK, une unité de calcul arithmétique et logique ALU, un compteur ordinal PC, un circuit SPC d'incrémentement du compteur ordinal PC et un décodeur DEC1 d'instructions.  
10 Le microprocesseur comprend également des moyens de concaténation prenant la forme d'un circuit à décalage BSHIFT et un circuit MUX de sélection, en fonction de l'adresse  $ADb_i$ , du bit  $b_i$  à concaténer.

Le décodeur DEC1, l'unité ALU et la banque REGBANK,  
15 représentés sous forme de blocs, sont des circuits ou des ensembles de circuits bien connus de l'homme de l'art et leur structure interne ne sera pas décrite. Le décodeur DEC1 est connecté à la sortie de la mémoire MEM pour recevoir les instructions d'un programme à exécuter.  
20 L'unité ALU comporte ici deux entrées IN1, IN2, une sortie OUT, et est pilotée par un décodeur DEC2. La banque de registres REGBANK contient divers registres de travail, par exemple seize registres R0 à R15 (non représentés). La banque REGBANK comporte une entrée IADRs  
25 pour l'adresse ADRs du registre source Rs, une entrée IADRd pour l'adresse du registre de destination Rd, une sortie OUTRs de lecture du registre source Rs, une sortie OUTRd de lecture du registre de destination Rd, et une entrée INRd pour l'écriture d'un résultat dans le  
30 registre de destination Rd. La sortie OUTRd de la banque REGBANK est connectée à l'entrée IN1 de l'unité ALU. La sortie OUTRs est connectée à l'entrée IN2 de l'unité ALU et à l'entrée du circuit MUX.

Le circuit BSHIFT comprend seize entrées de bits  $e_0$  à  $e_{15}$  connectées à la sortie OUT de l'unité ALU, une entrée auxiliaire  $e_{16}$  connectée à la sortie du circuit MUX, et seize sorties de bits  $s_0$  à  $s_{15}$  formant la terminaison du chemin de données DPTH du microprocesseur, ces sorties étant connectées à l'entrée INRd de la banque REGBANK.

Ainsi, le chemin de données DPTH du microprocesseur comprend tout d'abord deux voies de seize fils à la sortie de la banque REGBANK, puis une voie de seize fils et un fil auxiliaire à l'entrée du circuit BSHIFT, et enfin une voie de seize fils de la sortie du circuit BSHIFT jusqu'à l'entrée de la banque REGBANK.

D'autres connexions de la terminaison du chemin de données DPTH sont bien entendu envisageables, par exemple une connexion à la mémoire MEM ou à une autre mémoire de stockage de données.

Le circuit BSHIFT est piloté par un signal SR. Quand ce signal est à 0, le circuit BSHIFT est transparent et les sorties  $s_{15}$  à  $s_0$  recopient les entrées  $e_{15}$  à  $e_0$ . Quand le signal BSHIFT est à 1, le circuit décale ses sorties relativement à ses entrées. Les sorties  $s_{14}$  à  $s_0$  recopient les entrées  $e_{15}$  à  $e_1$ , respectivement, et la sortie  $s_{15}$  recopie l'entrée auxiliaire  $e_{16}$ . Dans ce cas, l'entrée  $e_0$  est déconnectée du chemin de données.

Selon l'invention, le microprocesseur est par ailleurs organisé en deux étages pipeline ST1, ST2 contigus, délimités par des registres à verrouillage B1, B3 (ou "latch"). Ces registres B1, B3 sont déverrouillés par le front montant d'un signal d'horloge H1. La mémoire MEM et le décodeur DEC1 sont agencés dans le premier étage ST1. La banque REGBANK, l'unité ALU, le

multiplexeur MUX et le circuit BSHIFT sont agencés dans le deuxième étage ST2.

Les deux étages ST1, ST2 sont divisés chacun en deux secteurs ST11/ST12, respectivement ST21/ST22. Les  
5 secteurs ST11/ST12 sont délimités par un registre B2 agencé entre la sortie de la mémoire MEM et le décodeur DEC1. Les secteurs ST21/ST22 sont délimités par un registre B4 agencé entre les sorties  $s_0$  à  $s_{15}$  du circuit BSHIFT et l'entrée INRd de la banque REGBANK. Le registre  
10 B2 est un registre à verrouillage déverrouillé par le front montant d'un signal H2 déphasé de  $180^\circ$  relativement au signal H1. Le registre B4 est de préférence un tampon trois états ("buffer tristate") transparent quand le signal H2 est à 1, et dans l'état haute impédance quand  
15 le signal H2 est à 0. Ainsi, le signal d'horloge H1 synchronise le transfert des données de l'étage ST1 vers l'étage ST2, et le signal H2 synchronise le transfert des données du premier secteur ST11, ST21 vers le deuxième secteur ST12, ST22 de chaque étage pipeline. Pour fixer  
20 les idées, les signaux d'horloge H1 et de transfert H2 sont représentés au bas de la figure 1.

La banque REGBANK est commandée en lecture par un signal RDH1 et en écriture par un signal WRH2. Ces signaux sont envoyés par le décodeur DEC1. Le signal de  
25 lecture RDH1 est émis quand le signal d'horloge H1 passe à 1 et le signal d'écriture WRH2 est émis quand le signal H2 passe à 1. La banque REGBANK appartient ainsi, en lecture, au premier secteur ST21 de l'étage ST2 et, en écriture, au deuxième secteur ST22 de l'étage ST2.

30 Enfin, la mémoire MEM délivre l'instruction contenue à l'adresse fournie par le compteur ordinal PC sur réception du signal de lecture RDH1.

Pour illustrer le fonctionnement du microprocesseur selon l'invention, on se référera par exemple à la séquence d'instructions suivante :

- (1) **SUB R1,R2** (soustraire R2 à R1 et stocker le résultat dans R1)  
 (2) **BMV R0,R1,12** (concaténer dans R0 le bit de rang 12 contenu dans R1).

Ces instructions sont délivrées par la mémoire MEM sous la forme suivante :

CODE <sub>SUB</sub>	ADR1	ADR2	-
CODE <sub>BMV</sub>	ADR0	ADR1	12

La séquence est exécutée par le microprocesseur selon des étapes 1.1 à 1.4 et 2.1 à 2.4 décrites ci-après. Les diverses opérations réalisées au cours de chacune de ces étapes se déroulent de façon asynchrone selon le flot des données à travers les éléments du microprocesseur, et sont considérées comme achevées à la fin de chaque étape.

1.1 - H1 = 1, H2 = 0, registre B1 déverrouillé, secteur ST11 actif :

- le décodeur DEC1 émet le signal de lecture RDH1 et l'instruction **SUB R1, R2** est lue dans la mémoire MEM.

1.2 - H1 = 0, H2 = 1, registre B2 déverrouillé, secteur ST12 actif :

- le décodeur DEC1 décode l'instruction **SUB R1, R2**, met le signal SR à 0, envoie les adresses ADR1 et ADR2 vers la banque REGBANK et envoie le code opération CODE<sub>SUB</sub> de la soustraction vers l'unité ALU,

- le circuit SPC incrémente le compteur ordinal PC.

1.3 - H1 = 1, H2 = 0, registre B3 déverrouillé, secteur ST21 actif :

- la banque REGBANK reçoit les adresses ADR1, ADR2, le décodeur DEC2 reçoit le code CODE<sub>SUB</sub> et le décodeur DEC1
- 5 émet le signal de lecture RDH1,
- les registres R1 et R2 sont lus et leur contenu appliqué sur les entrées IN1, IN2 de l'unité ALU,
- l'unité ALU délivre le résultat de la soustraction [R1-R2].

10 1.4 - H1 = 0, H2 = 1, registre B4 transparent, secteur ST22 actif :

- le décodeur DEC1 émet le signal d'écriture WRH2,
- le circuit BSHIFT étant transparent (SR=0), le résultat de la soustraction [R1-R2] se retrouve sur l'entrée INRd
- 15 de la banque REGBANK,
- le résultat de la soustraction [R1-R2] est enregistré dans le registre R1.

2.1 - H1 = 1, H2 = 0, registre B1 déverrouillé, secteur ST11 actif :

- 20 - le décodeur DEC1 émet le signal de lecture RDH1 et l'instruction **BMV R0,R1,12** est lue dans la mémoire MEM.

2.2 - H1 = 0, H2 = 1, registre B2 déverrouillé, secteur ST12 actif :

- le décodeur DEC1 décode l'instruction **BMV R0,R1,12**, met
- 25 le signal SR à 1, envoie les adresses ADR1 et ADR2 vers la banque REGBANK, envoie l'adresse ADb<sub>i</sub> = 12 vers le multiplexeur MUX, et envoie le code opération CODE<sub>BMV</sub> de la concaténation vers l'unité ALU,
- le circuit SPC incrémente le compteur ordinal PC.

30 2.3 - H1 = 1, H2 = 0, registre B3 déverrouillé, secteur ST21 actif :

- la banque REGBANK reçoit les adresses ADR1, ADR2, le décodeur DEC2 reçoit le code CODE<sub>BMV</sub>, le circuit MUX

reçoit l'adresse  $ADB_1$  (ici 12), le circuit BSHIFT reçoit le signal SR à 1 et le décodeur DEC1 émet le signal de lecture RDH1,

- le mot binaire W1 contenu dans le registre R1 est appliqué sur l'entrée du multiplexeur MUX et le mot binaire W2 contenu dans le registre R0 est appliqué sur l'entrée IN1 de l'unité ALU,
- selon l'invention, l'unité ALU recopie sur sa sortie OUT le mot W2 présent sur son entrée IN1,
- 10 - le multiplexeur MUX sélectionne le bit  $b_{12}$  qui se retrouve sur l'entrée auxiliaire  $e_{16}$  du circuit BSHIFT,
- le circuit BSHIFT connecte les sorties  $s_{14}$  à  $s_0$  aux entrées  $e_{15}$  à  $e_1$ , connecte la sortie  $s_{15}$  à l'entrée auxiliaire  $e_{16}$ , et délivre un mot binaire W3 de la forme
- 15 suivante :

$$W3 = b_{12} C_{15} C_{14} C_{13} C_{12} C_{11} C_{10} C_9 C_8 C_7 C_6 C_5 C_4 C_3 C_2 C_1,$$

- dans lequel le bit de plus fort poids est le bit  $b_{12}$  sélectionné dans le mot W1. Les autres bits du mot W3 sont des bits  $c_{15}$  à  $c_1$  du mot W2, le bit de plus faible poids  $c_0$  ayant été supprimé par le décalage.

2.4 - H1 = 0, H2 = 1, tampon B4 transparent, secteur ST22 actif :

- 25 - le mot W3 est appliqué sur l'entrée INRd de la banque REGBANK,
- le décodeur DEC1 émet le signal d'écriture WRH2 et le mot W3 est enregistré dans le registre R0 de la banque REGBANK.
- 30 Dans le microprocesseur pipeline selon l'invention, les étapes qui viennent d'être décrites se chevauchent comme indiqué dans le tableau 1 ci-après.

Tableau 1

Cycle pipeline		Cycle pipeline		Cycle pipeline	
1/2 cycle	1/2 cycle	1/2 cycle	1/2 cycle	1/2 cycle	1/2 cycle
H1=1	H2=1	H1=1	H2=1	H1=1	H2=1
étape 1.1	étape 1.2	étape 1.3	étape 1.4		
		étape 2.1	étape 2.2	étape 2.3	étape 2.4
				étape 3.1	étape 3.2

Dans ce tableau, les étapes 3.1 et 3.2 sont des étapes de lecture et de décodage d'une nouvelle instruction (quelconque) suivant l'instruction BMV.

On voit que les étapes 2.3 et 2.4 sont réalisées en un seul cycle d'horloge. Par ailleurs, en raison du fonctionnement pipeline du microprocesseur, les étapes de lecture 2.1 et décodage 2.2 chevauchent les étapes 1.3 et 1.4 de l'instruction précédente et ne consomment pas le temps d'horloge.

La figure 2 représente un mode de réalisation avantageux du circuit BSHIFT, au moyen de seize interrupteurs I<sub>0</sub> à I<sub>15</sub> commandés par le signal SR. Chaque interrupteur I<sub>i</sub> est agencé pour connecter une sortie s<sub>i</sub> de rang i à une entrée e<sub>i</sub> de même rang ou à une entrée e<sub>i+1</sub> de rang supérieur, selon la valeur du signal SR. Comme illustré par la figure 3, les interrupteurs I<sub>i</sub> peuvent être réalisés au moyen de deux interrupteurs CMOS T<sub>i</sub> et T<sub>i+1</sub> agencés entre la sortie s<sub>i</sub> et les entrées e<sub>i</sub> et e<sub>i+1</sub>. Le signal SR est appliqué au transistor NMOS de l'interrupteur T<sub>i+1</sub> et au transistor PMOS de l'interrupteur T<sub>i</sub>. Un signal inverse /SR, délivré par une porte inverseuse, est appliqué au transistor PMOS de l'interrupteur T<sub>i+1</sub> et au transistor NMOS de l'interrupteur T<sub>i</sub>.

Ce circuit BSHIFT à décalage de bits par commutation matérielle de fils présente l'avantage, par rapport à un registre à décalage classique, de pouvoir recevoir le signal de décalage SR au commencement du cycle d'horloge H1 avant que les données ne soient stabilisées sur les entrées  $e_{16}$  à  $e_0$ . La prévision d'un registre à décalage classique reste toutefois envisageable, à la condition de prévoir un circuit à retard pour l'application du signal SR.

Pour fixer les idées sur les applications pratiques de l'invention, le tableau 2 ci-après décrit la séquence de concaténation suivante :

"Concaténer dans R0 = 1010 1010 1010 1010  
le bit 12 de R1 = 0001 0010 0011 0100,  
puis le bit 0 de R2 = 0010 0011 0100 0101,  
puis le bit 14 de R3 = 0011 0100 0101 0110,  
puis le bit 2 de R1 = 0001 0010 0011 0100".

Tableau 2	R E G I S T R E R 0															
Bits (rang)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0 initial	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
BMV R0,R1,12				1	1	0	1	0	1	0	1	0	1	0	1	0
BMV R0,R2,0			1	1	1	0	1	0	1	0	1	0	1	0	1	0
BMV R0,R3,14	0	1	1	1	0	1	0	1	0	1	0	1	0	1	0	1
BMV R0,R1,2	1	0	1	1	1	0	1	0	1	0	1	0	1	0	1	0

Les bits concaténés dans le registre R0 sont en caractères gras. Les bits en italiques sont les bits de poids faible perdus par décalage à droite. Au total, la concaténation des quatre bits ne nécessite que quatre



cycles d'horloge pipeline et un programme de quatre instructions seulement.

La séquence décrite par le tableau 2 montre qu'une opération répétitive de concaténation fait intervenir le même registre de destination Rd (ici R0). Après seize concaténations, ce registre est "plein". Si l'on souhaite produire des chaînes de bits concaténés de grande longueur, par exemple de 16, 32, 64 bits ou plus, on peut changer de registre de destination Rd après chaque cycle de 16 concaténations. Une autre solution consiste à conserver le même registre Rd en sauvegardant son contenu après chaque cycle de 16 concaténations. Ainsi, une variante de l'invention permettant de simplifier encore plus le format de l'instruction BMV consiste à imposer l'adresse du registre de destination Rd. Dans ce cas, l'instruction BMV est codée de la façon suivante :

CODE <sub>BMV</sub>	ADRs	ADbi
---------------------	------	------

Dans ce cas, l'adresse ADRd du registre Rd, par exemple le registre R0, est générée automatiquement par le décodeur DECI sur réception du code CODE<sub>BMV</sub>. L'adresse ADRd peut aussi être comprise dans le code CODE<sub>BMV</sub> qui peut alors être codé sur 8 bits au lieu de 4.

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de nombreuses autres variantes de réalisation et perfectionnements.

En particulier, et comme représenté en traits pointillés sur la figure 1, le bit de poids faible présent sur l'entrée e<sub>0</sub> du circuit BSHIFT peut être conservé au moyen d'un registre LTCH en tant que drapeau CRY ("Carry") du microprocesseur. La sortie du registre LTCH contient le drapeau CRY et est connectée à l'entrée

$e_{16}$  du circuit BSHIFT par l'intermédiaire d'un tampon BUF1, pour l'injection éventuelle du drapeau CRY dans le chemin de données. Un deuxième tampon BUF2 est interposé entre la sortie du circuit MUX et l'entrée  $e_{16}$ , pour  
5 éviter les collisions entre le bit sélectionné  $b_i$  et le drapeau CRY. Le décodeur DEC1 pilote les tampons BUF1 et BUF2 en fonction du type d'instruction reçue. Egalement, le décodeur DEC1 envoie le signal d'écriture WRH2 au registre LTCH pour la mise à jour du drapeau CRY au  
10 moment de l'activation du secteur ST22, quand un décalage à droite a été effectué dans le secteur ST<sub>21</sub> au cours du demi-cycle d'horloge précédent.

D'autre part, le circuit BSHIFT peut être utilisé pour réaliser des opérations arithmétiques comme la  
15 division ou la multiplication, qui nécessitent de façon classique des décalages de bits. Sinon, le circuit BSHIFT peut être disposé en d'autres points du chemin de données, par exemple entre la sortie OUTRd de la banque REGBANK et l'entrée IN1 de l'unité ALU.

20 Egalement, il est bien entendu que la concaténation du bit  $b_i$  peut aussi être faite par insertion du bit  $b_i$  en tant que poids faible sur l'entrée  $e_0$  du circuit BSHIFT et rotation à gauche des bits du mot binaire W2.

Par ailleurs, l'opération de concaténation du bit  $b_i$   
25 peut être étendue de façon simple à la concaténation simultanée de plusieurs bits du registre source Rs, sélectionnés simultanément par le circuit MUX. Par exemple, la prévision de plusieurs circuits BSHIFT en cascade peut permettre de choisir entre la concaténation  
30 d'un seul bit, de deux bits à la fois, de trois bits, etc.. Le choix du nombre de bits à concaténer peut être codé dans le champ CODE<sub>BMV</sub> de l'instruction.

De façon générale, on a décrit dans ce qui précède diverses caractéristiques d'un microprocesseur permettant d'accélérer et de simplifier les programmes informatiques comportant de nombreuses opérations de concaténation. Ces caractéristiques peuvent être résumées, de façon non exhaustive et non limitative, comme suit :

- i) la prévision d'une instruction de concaténation et de moyens de décodage et de traitement de cette instruction, ce qui permet de simplifier l'écriture des programmes et d'accélérer leur exécution,
- ii) la prévision d'une telle instruction sous une forme compacte incorporant au moins une adresse de lecture d'un bit à concaténer et le rang de ce bit, ce qui permet d'accélérer la lecture et le traitement de l'instruction,
- iii) la lecture des mots W1, W2 et l'enregistrement du résultat W3 dans la banque de registre REG BANK du microprocesseur, ce qui permet de réduire la taille des champs adresses de l'instruction,
- iv) l'exécution de l'opération de concaténation "en ligne" sur le chemin de données du microprocesseur, en un cycle d'horloge, avec présentation en parallèle des mots W1 et W2,
- v) la réalisation des trois étapes de lecture des mots W1, W2, d'exécution de la concaténation et d'enregistrement du résultat W3 au cours du même cycle d'horloge, grâce à la division du deuxième étage pipeline en deux secteurs complémentaires,
- vi) la prévision d'un circuit BSHIFT à décalage par commutation matérielle de fils, pouvant être commandé de façon asynchrone en début de cycle d'horloge sans attendre que les données soient stabilisées.

En ce qui concerne la caractéristique iii), il convient de noter que les adresses compactes contenues

dans les instructions peuvent aussi permettre d'adresser le plan mémoire du microprocesseur. Dans ce cas, ces adresses doivent être transformées en adresses réelles du plan mémoire par un convertisseur d'adresses, appelé  
5 unité de gestion mémoire MMU ("Memory Management Unit).

D'autre part, l'homme de l'art notera que le microprocesseur selon l'invention est d'une structure particulièrement simple garantissant une faible consommation de courant. Une mesure supplémentaire pour  
10 limiter la consommation électrique consiste à disposer sur les sorties OUTRs et OUTRd de la banque REGBank des circuits tampons pilotés par un signal H1' décalé d'une durée  $\Delta t$  relativement au signal H1. De cette manière, l'unité ALU n'est connectée aux sorties OUTRs, OUTRd  
15 qu'au moment où celles-ci sont stabilisées. Le signal décalé H1' peut être obtenu simplement au moyen d'un circuit à retard, par exemple des portes inverseuses en cascade.

Enfin, il apparaîtra clairement à l'homme de l'art  
20 que le terme "demi-cycle d'horloge" ne doit pas être interprété de façon limitative. En effet, à vitesse de fonctionnement constante, il est équivalent de prévoir un signal d'horloge ayant une vitesse double et de n'activer les secteurs pipeline qu'un cycle d'horloge sur deux, en  
25 décalant d'un cycle d'horloge l'activation de chaque secteur relativement au secteur suivant. Pour chaque registre pipeline B1 à B4, la sélection d'un bit d'horloge sur deux comme signal de commande peut être faite de façon simple au moyen d'un circuit diviseur de  
30 fréquence, par exemple une bascule D dont la sortie /Q est ramenée sur l'entrée D. Les signaux de commandes des registres pipeline peuvent par ailleurs être combinés dans des portes OU Exclusif avant d'être appliqués, afin

de garantir que deux secteurs complémentaires d'un même étage pipeline ne seront pas activés simultanément.

REVENDICATIONS

1. Microprocesseur (MP), comprenant des moyens de décodage (DEC1) d'une instruction (BMV) de concaténation d'au moins un bit ( $b_i$ ) d'un premier mot binaire (W1) avec au moins un bit d'un deuxième mot binaire (W2), une
- 5 banque de registres (REGBANK) et des moyens (REGBANK, MUX, BSHIFT) de traitement de l'instruction de concaténation (BMV), caractérisé en ce qu'il comprend :
- un premier étage pipeline (ST1) comprenant les moyens de décodage (DEC1) de l'instruction de concaténation,
  - 10 - un deuxième étage pipeline (ST2), contigu au premier étage, comprenant
    - un premier secteur (ST21) comprenant des moyens (OUTRd, OUTRs, MUX, BSHIFT) de concaténation, dans lequel la banque de registres (REGBANK) est agencée en lecture,
    - 15 et
    - un deuxième secteur (ST22) dans lequel la banque de registres (REGBANK) est agencée en écriture,
- le premier secteur étant actif à chaque demi-cycle d'horloge du microprocesseur et le deuxième secteur actif
- 20 à chaque demi-cycle d'horloge suivant,
- les moyens de traitement de l'instruction de concaténation étant agencés pour :
- lire les premier (W1) et deuxième (W2) mots binaires dans la banque de registres (REGBANK) et exécuter
  - 25 l'instruction de concaténation au cours d'un premier demi-cycle d'horloge, et
  - enregistrer le résultat (W3) de la concaténation dans la banque de registres (REGBANK) au cours du demi-cycle d'horloge suivant.

2. Microprocesseur selon la revendication 1, dans lequel les moyens (MUX, BSHIFT) de concaténation (BMV) comprennent :

- des moyens (OUTRd, OUTRs) de présentation en parallèle, sur le chemin de données (DPTH) du microprocesseur, des deux mots binaires (W1, W2) lus dans la banque de registres (REGBANK),
- des moyens (MUX) de sélection d'au moins un bit ( $b_i$ ) à concaténer du premier mot binaire (W1), et
- 10 - des moyens (BSHIFT) pour décaler des bits du deuxième mot binaire (W2) sur le chemin de données (DPTH) et insérer dans le deuxième mot binaire (W2) au moins le bit sélectionné ( $b_i$ ) du premier mot binaire (W1).

3. Microprocesseur selon la revendication 2, dans lequel lesdits moyens pour décaler des bits comprennent un circuit (BSHIFT) à commutation matérielle de fils agencé pour, sur réception d'un signal de décalage (SR), décaler le rang des fils du chemin de données (DPTH) et connecter à au moins un fil ( $s_{15}$ ) du chemin de données la sortie ( $e_{16}$ ) des moyens (MUX) de sélection du bit ( $b_i$ ) à concaténer.

4. Microprocesseur selon l'une des revendications 2 et 3, dans lequel les moyens de sélection d'au moins un bit comprennent un circuit multiplexeur (MUX) agencé sur le chemin de données (DPTH) pour recevoir en entrée le premier mot binaire (W1).

5. Microprocesseur selon l'une des revendications 1 à 4, dans lequel le deuxième mot binaire (W2) est lu dans la banque de registres (REGBANK) à l'adresse (ADRd) d'enregistrement du résultat (W3) de la concaténation.

6. Microprocesseur selon l'une des revendications 1 à 5, comprenant des moyens de décodage (DEC1) d'une instruction compacte de concaténation (BMV) comportant

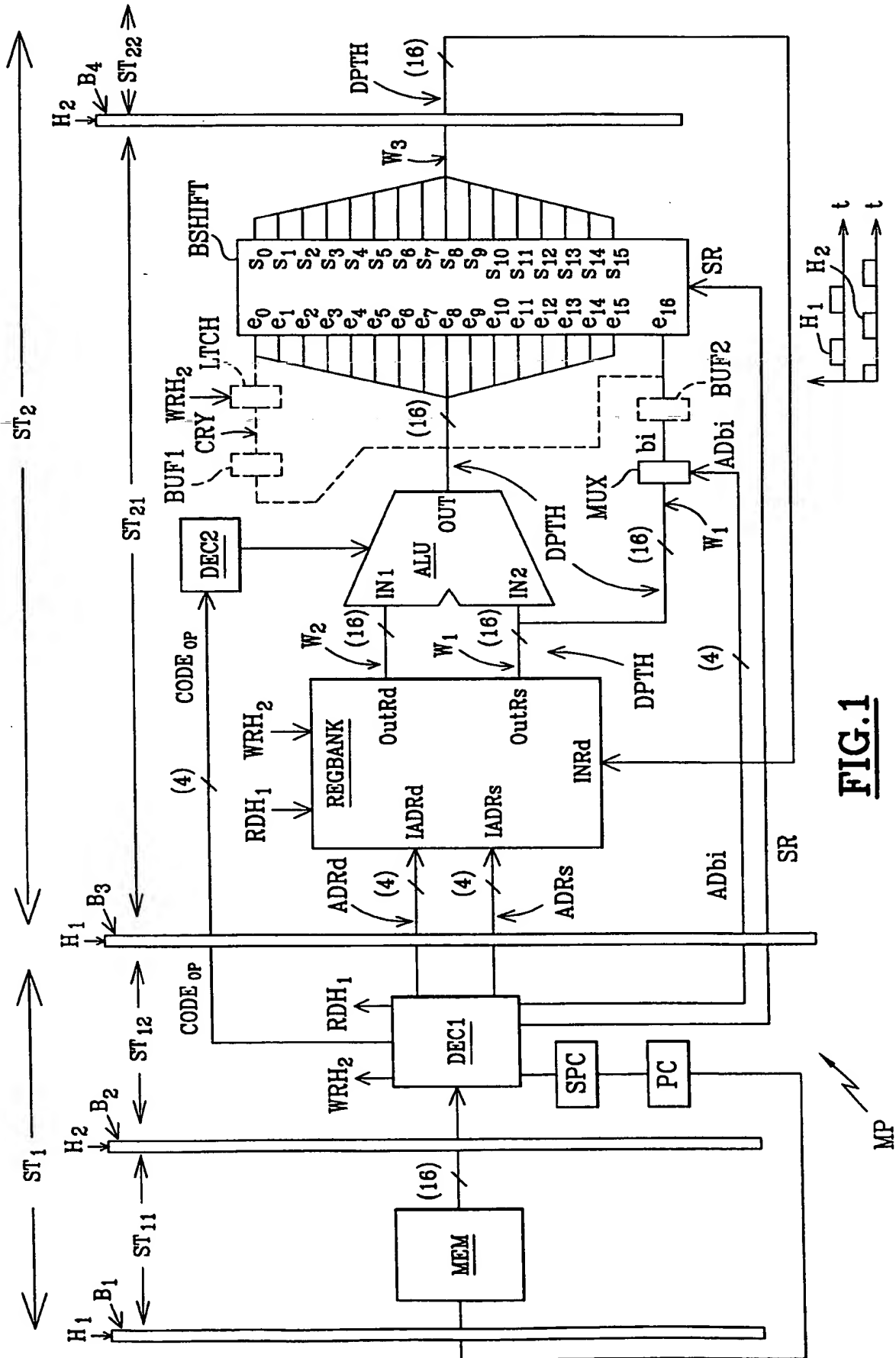
une adresse compacte (ADRD) d'enregistrement du résultat (W3) de la concaténation.

7. Microprocesseur selon l'une des revendications 1 à 5, comprenant des moyens de décodage (DEC1) d'une instruction de concaténation (BMV) dont le code (CODE<sub>BMV</sub>) comporte une adresse compacte (ADRD) prédéterminée d'enregistrement du résultat (W3) de la concaténation.

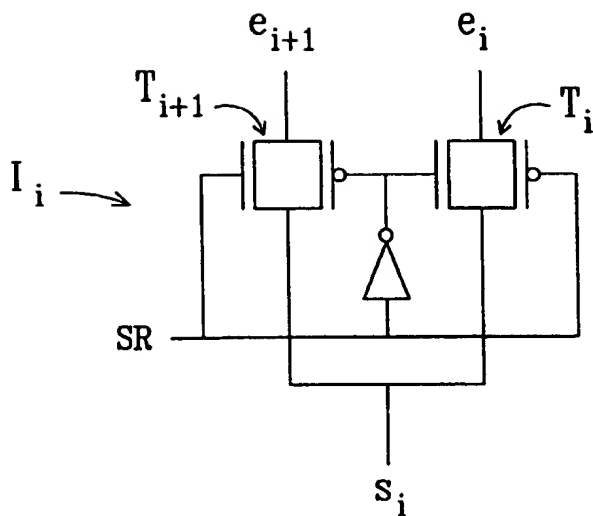
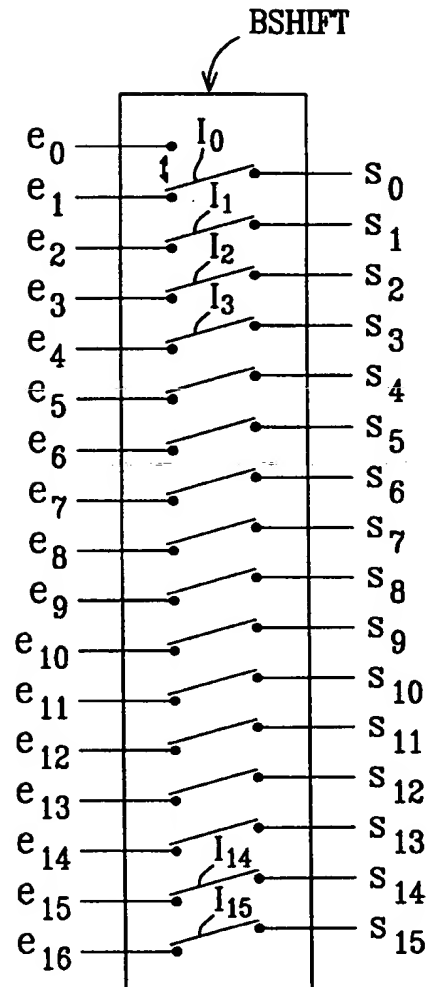
8. Microprocesseur selon l'une des revendications 1 à 5, dans lequel les moyens de décodage (DEC1) de l'instruction de concaténation (BMV) sont agencés pour générer une adresse (ADRD) fixe et prédéterminée d'enregistrement du résultat (W3) de la concaténation.



1/2

**FIG. 1**

2/2

**FIG.2****FIG.3**

# INTERNATIONAL SEARCH REPORT

Int. National Application No.  
PCT/FR 98/02266

**A. CLASSIFICATION F SUBJECT MATTER**  
IPC 6 G06F9/308 G06F9/315 G06F9/38

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 664 508 A (MOTOROLA INC) 26 July 1995 page 4, lines 1-40; page 6, lines 9-25; page 7, line 30 - page 8, line 21; figure 5	1-8
A	JOUPPI N P: "THE NONUNIFORM DISTRIBUTION OF INSTRUCTION-LEVEL AND MACHINE PARALLELISM AND ITS EFFECT ON PERFORMANCE" IEEE TRANSACTIONS ON COMPUTERS, vol. 38, no. 12, 1 December 1989, pages 1645-1658, XP000096380 see page 1647, left-hand column, line 5 - right-hand column, line 7; figure 2  -/-	1

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.  
"&" document member of the same patent family

Date of the actual completion of the international search

21 January 1999

Date of mailing of the international search report

27/01/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Klocke, L

# INTERNATIONAL SEARCH REPORT

Int Jonal Application No

PCT/FR 98/02266

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 023 023 A (BOURREZ JEAN-MARIE ET AL) 10 May 1977 see column 1, line 9 - column 2, line 68; column 6, lines 27-59; claims ; figures 1, 5	1,2,6-8
A	LOH W L: "BEE:A SPECIAL-PURPOSE MACHINE FOR HARDWARE DESCRIPTION LANGUAGES" MICROPROCESSORS AND MICROSYSTEMS, vol. 19, no. 5, 1 June 1995, pages 269-276, XP000589478 see page 271, right-hand column, line 36 - page 273, right-hand column, line 7	1,2,6-8
A	EP 0 438 126 A (TOKYO SHIBAURA ELECTRIC CO) 24 July 1991 column 2, line 25 - column 6, line 23; column 7, lines 21-58	1

# INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/FR 98/02266

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0664508	A	26-07-1995	JP 7219767 A US 5765216 A	18-08-1995 09-06-1998
US 4023023	A	10-05-1977	FR 2253415 A BE 822448 A DE 2457312 A GB 1494327 A NL 7415387 A	27-06-1975 21-05-1975 05-06-1975 07-12-1977 06-06-1975
EP 0438126	A	24-07-1991	JP 3211613 A KR 9401556 B	17-09-1991 24-02-1994

# RAPPORT DE RECHERCHE INTERNATIONALE

De Je internationale No  
PCT/FR 98/02266

<b>A. CLASSEMENT DE L'OBJET DE LA DEMANDE</b> CIB 6 G06F9/308 G06F9/315 G06F9/38		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
<b>B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE</b> Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 6 G06F		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)		
<b>C. DOCUMENTS CONSIDERES COMME PERTINENTS</b>		
Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 664 508 A (MOTOROLA INC) 26 juillet 1995 page 4, lignes 1-40; page 6, lignes 9-25; page 7, ligne 30 - page 8, ligne 21; figure 5 ---	1-8
A	JOUPPI N P: "THE NONUNIFORM DISTRIBUTION OF INSTRUCTION-LEVEL AND MACHINE PARALLELISM AND ITS EFFECT ON PERFORMANCE" IEEE TRANSACTIONS ON COMPUTERS, vol. 38, no. 12, 1 décembre 1989, pages 1645-1658, XP000096380 voir page 1647, colonne de gauche, ligne 5 - colonne de droite, ligne 7; figure 2 --- -/--	1
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents		
<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
<b>* Catégories spéciales de documents cités:</b>		
<b>"A"</b> document définissant l'état général de la technique, non considéré comme particulièrement pertinent <b>"E"</b> document antérieur, mais publié à la date de dépôt international ou après cette date <b>"L"</b> document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) <b>"O"</b> document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens <b>"P"</b> document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée <b>"T"</b> document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention <b>"X"</b> document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément <b>"Y"</b> document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier <b>"&amp;"</b> document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 21 janvier 1999		Date d'expédition du présent rapport de recherche internationale 27/01/1999
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Klocke, L

# RAPPORT DE RECHERCHE INTERNATIONALE

Des le Internationale No  
PCT/FR 98/02266

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 4 023 023 A (BOURREZ JEAN-MARIE ET AL) 10 mai 1977 voir colonne 1, ligne 9 - colonne 2, ligne 68; colonne 6, lignes 27-59; revendications; figures 1, 5 ----	1,2,6-8
A	LOH W L: "BEE:A SPECIAL-PURPOSE MACHINE FOR HARDWARE DESCRIPTION LANGUAGES" MICROPROCESSORS AND MICROSYSTEMS, vol. 19, no. 5, 1 juin 1995, pages 269-276, XP000589478 voir page 271, colonne de droite, ligne 36 - page 273, colonne de droite, ligne 7 ----	1,2,6-8
A	EP 0 438 126 A (TOKYO SHIBAURA ELECTRIC CO) 24 juillet 1991 * colonne 2, ligne 25 - colonne 6, ligne 23; colonne 7, lignes 21-58 * -----	1

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

De de internationale No

PCT/FR 98/02266

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0664508 A	26-07-1995	JP 7219767 A US 5765216 A	18-08-1995 09-06-1998
US 4023023 A	10-05-1977	FR 2253415 A BE 822448 A DE 2457312 A GB 1494327 A NL 7415387 A	27-06-1975 21-05-1975 05-06-1975 07-12-1977 06-06-1975
EP 0438126 A	24-07-1991	JP 3211613 A KR 9401556 B	17-09-1991 24-02-1994